

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110897

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60  
H01L 21/3205  
H01L 23/52

(21)Application number : 2000-296078

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.2000

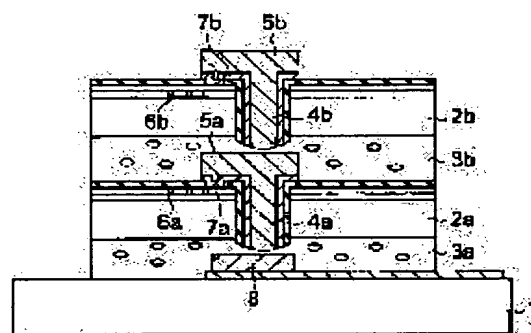
(72)Inventor : SASAKI KEIICHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having an improved connection plug structure which is decreased in stage number and can be manufactured at low cost.

**SOLUTION:** This semiconductor device is constituted by stacking semiconductor chips formed by integrating elements on semiconductor substrates in layers across inter-layer insulating films so that those semiconductor chips are mutually connected by connection plugs buried in through holes bored in the semiconductor substrates and bumps provided on the connection plugs; and the connection plugs and bumps are formed integrally of the same metal having a fusion point of  $\geq 400^{\circ}$  C.



## LEGAL STATUS

[Date of request for examination]

03.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110897

(P2002-110897A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)	
H 0 1 L 25/065		H 0 1 L 21/60	3 1 1 S	5 F 0 3 3
25/07			3 1 1 Q	5 F 0 4 4
25/18		25/08	B	
21/60	3 1 1	21/88	T	
		21/92	6 0 4 B	
審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願2000-296078 (P2000-296078)

(22) 出願日 平成12年9月28日 (2000.9.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 佐々木 圭一

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

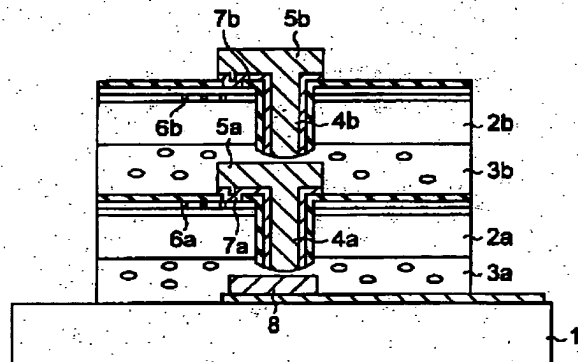
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 工程数を削減し、低コストでの製造を可能とする改良された接続プラグ構造を有する半導体装置を提供すること。

【解決手段】 半導体基板に素子が集積形成された半導体チップを層間絶縁膜を介して複数層積層してなり、これら複数の半導体チップの相互間、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグ、およびこの接続プラグ上に設けられているパンプにより接続されている半導体装置であって、前記接続プラグおよびパンプは、400℃以上の融点を有する同一金属により、一体的に形成されていることを特徴とする。



## 【特許請求の範囲】

【請求項 1】半導体基板に素子が集積形成された半導体チップを層間絶縁膜を介して複数層積層してなり、これら複数の半導体チップの相互間は、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグ、およびこの接続プラグ上に設けられているバンパにより接続されている半導体装置であって、前記接続プラグおよびバンパは、400℃以上の融点を有する同一金属により、一体的に形成されていることを特徴とする半導体装置。

【請求項 2】前記層間絶縁膜は、異方性導電膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】半導体基板に素子が集積形成された半導体チップを層間絶縁膜を介して複数層積層してなり、これら複数の半導体チップの相互間は、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグ、およびこの接続プラグ上に設けられているバンパにより接続されている半導体装置の製造方法であって、前記接続プラグおよびバンパを、一回のメッキ工程により同時に形成することを特徴とする半導体装置の製造方法。

【請求項 4】半導体基板と、この半導体基板上にそれぞれ層間絶縁膜を介して複数層積層した多層配線層とを具備し、前記半導体基板と前記配線層とは、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグにより接続されている半導体装置であって、前記接続プラグ内に空隙が設けられていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に、接続プラグ構造の改良に関する。

## 【0002】

【従来の技術】従来、Chip on chip 構造の半導体装置のチップスループラグの形成に際しては、スループラグの上部に半田バンパを形成するために、プラグを埋め込んだ後に余分な金属を除去するための CMP 工程が必要である。そのため、スルーブット及び形成コストが増大するという問題があった。

【0003】一方、スループラグ上部にエアパナルティの要求から配線を形成するために、やはりスループラグの埋め込みと CMP を行なうことが必要であった。

【0004】いずれの場合においても、スループラグの埋め込み方法としては、メッキ単独で、もしくはメッキ＋塗布方法、ペースト印刷、CVD 等の形成方法を挙げることが出来る。しかし、これらの方法は、いずれもスルーブットが悪いという問題があった。特に、メッキ法単独でスループラグを埋め込む方法では、スループラグ

を形成した後、Si との熱膨張係数の差が大きいと、スループラグ周辺で応力によるクラックが発生したり、接合時にクラックが発生しやすいという問題があった。

【0005】また、他の方法と併用する埋め込み方法では、例えば、塗布方法で埋め込む場合には、ホール内で厚みが数十  $\mu\text{m}$  以上となってしまうため、塗布膜が十分に硬化することが出来ないという問題がある。ペーストで埋め込む方法では、埋め込みが十分できないという問題がある。更に、CVD 法では、スルーブットが悪いという問題があった。

## 【0006】

【発明が解決しようとする課題】本発明は、このような事情の下になされ、工程数を削減し、低コストでの製造を可能とする改良された接続プラグ構造を有する半導体装置を提供することにある。

【0007】本発明の他の目的は、改良された接続プラグ構造を有する半導体装置を、削減された工程数で、低コストで製造する方法を提供することにある。

【0008】本発明の更に他の目的は、熱応力を緩和する改良された接続プラグ構造を有する半導体装置を提供することにある。

## 【0009】

【課題を解決するための手段】上記課題を解決するため、第 1 の発明は、半導体基板に素子が集積形成された半導体チップを層間絶縁膜を介して複数層積層してなり、これら複数の半導体チップの相互間は、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグ、およびこの接続プラグ上に設けられているバンパにより接続されている半導体装置であって、前記接続プラグおよびバンパは、400℃以上の融点を有する同一金属により、一体的に形成されていることを特徴とする半導体装置を提供する。

【0010】第 2 の発明は、半導体基板に素子が集積形成された半導体チップを層間絶縁膜を介して複数層積層してなり、これら複数の半導体チップの相互間は、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグ、およびこの接続プラグ上に設けられているバンパにより接続されている半導体装置の製造方法であって、前記接続プラグおよびバンパを、一回のメッキ工程により同時に形成することを特徴とする半導体装置の製造方法を提供する。

【0011】上記第 1 および第 2 の発明において、層間絶縁膜を、異方性導電膜とすることが出来る。

【0012】第 3 の発明は、半導体基板と、この半導体基板上にそれぞれ層間絶縁膜を介して複数層積層した多層配線層とを具備し、前記半導体基板と前記配線層とは、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグにより接続されている半導体装置であって、前記接続プラグ内に空隙が設けられていることを特徴とする半導体装置を提供する。

【0013】第4の発明は、半導体基板と、この半導体基板上にそれぞれ層間絶縁膜を介して複数層積層した多層配線層とを具備し、前記半導体基板と前記配線層とは、前記半導体基板に設けられた貫通孔に埋め込まれた接続プラグにより接続されている半導体装置の製造方法であって、前記半導体基板に設けられた有底孔の底部を除く部分に絶縁膜を形成し、前記有底孔の底部から電解メッキを行って有底孔を埋め込んで接続プラグを形成し、次いで、前記半導体基板の裏面を前記接続プラグが露出するまで研磨することを特徴とする半導体装置の製造方法を提供する。

【0014】かかる半導体装置の製造方法において、前記絶縁膜は、前記有底孔の内面に形成された導電性膜上に形成され、前記電解メッキを、前記有底孔の底部に露出する導電性膜を電極として用いて行うことが出来る。

【0015】或いはまた、前記有底孔の内面に形成された絶縁膜の前記有底孔の底部の部分を除き、前記電解メッキを、前記半導体基板に電源を接続して行うことが出来る。なお、この場合、前記半導体基板に設けられた半導体素子と接続プラグとの間に、スイッチ素子を設けることが出来る。

【0016】以上のように構成される第1および第2の発明によると、プラグとパンプが電解メッキにより一度に一体的に形成されているため、従来の方法のようにCMPを用いる必要がなく、また、工程数を削減することが出来るので、低コストでマルチチップ半導体装置を製造することが可能である。

【0017】また、第3の発明によると、接続プラグ内に空隙を設けることで、プロセス時に発生する熱応力を緩和することが出来る。

【0018】更に、第4の発明によると、メッキ層は、底部から順に堆積されていくので、空隙を残すことなく、接続プラグ用孔内を完全にメッキ層で埋めることが可能である。

【0019】

【発明の実施の形態】以下、図面を参照して、本発明の種々の実施の形態について説明する。

【0020】(第1の実施形態) 図1は、本発明の第1の実施形態に係るマルチチップ半導体装置を示す断面図である。図1において、配線基板1上に、複数の半導体チップ2a、2bが、間に異方性導電膜3a、3bを介して積層させている。半導体チップ2a、2bは、貫通孔に埋め込まれた、CuまたはAlからなるプラグ4a、4bおよびその上に一体的に設けられたパンプ5a、5bにより、相互に電氣的に接続されている。

【0021】即ち、半導体チップ2a、2bには複数の半導体素子6a、6b(図では各チップにつき1つのみ示してある)が設けられており、これら半導体素子6a、6bは、Cu/TaN層7を介してパンプ5a、5bに接続され、それによって、各半導体チップ2a、

2bの複数の半導体素子6a、6bは、相互に電氣的に接続されている。

【0022】なお、配線基板1の電極8とプラグ4aとの電氣的接続、およびパンプ5aとプラグ4bとの電氣的接続は、通常は絶縁性であるが、圧力が加わることで導電性となる異方性導電膜3a、3bにより行われる。異方性導電膜を用いることにより、積層するチップの裏面に絶縁膜を形成する工程を省略することが可能となる。

【0023】次に、以上のように構成されるマルチチップ半導体装置の製造方法について、図2を参照して説明する。

【0024】図2(a)に示すように、半導体素子6aが形成されたシリコン基板10の上面にレジストパターン11を形成し、このレジストパターン11をマスクとしてシリコン基板10をエッチングし、シリコン基板10にチップコンタクト孔12を形成する。

【0025】次いで、レジストパターン11を剥離した後、図2(b)に示すように、チップコンタクト孔12の内面を含む前面にSiO<sub>2</sub>膜13を形成する。そして、ドライフィルム等を用いたリソグラフィにより、再配線用のコンタクトパターンを露光して、マスクパターン14を形成し、これをマスクとして、RIE等により、SiO<sub>2</sub>膜13をエッチングし、半導体素子6aを接続するためのコンタクト孔15を形成する。

【0026】次に、レジストパターン14を剥離した後、図2(c)に示すように、孔12およびコンタクト孔15の内面を含む前面に、バリアメタルおよびシード層としてのCu/TaN層16を形成する。

【0027】その後、図2(d)に示すように、プラグおよびパンプ形成領域を除く領域にレジストパターン17を形成し、このレジストパターン17をマスクとして、電解メッキにより金属を被着し、孔12を埋めるプラグ18と、半導体素子6a接続するパンプ19とを一体的に形成する。

【0028】なお、電解メッキにより被着される金属は、その後、ポリイミド膜の形成等が行われることがあるため、このポリイミド膜の形成温度以上の融点を有するもの、即ち、400℃以上の融点を有する金属である。このような金属として、具体的には、Al、Cu、Au、Ag等を挙げることが出来る。

【0029】次いで、図2(e)に示すように、レジストパターン17を剥離し、露出するCu/TaN層16をエッチングにより除去するとともに、更にシリコン基板10aの裏面を、プラグ18が露出するまで研磨、即ちCMP、RIE等でSiおよびスループラグ底部の絶縁膜を除去する。

【0030】このようにして得た半導体チップ2aを、異方性導電膜3aを介して配線基板1上に配設し、更にその上に、同様にして作製した半導体チップ2bを異方

10

20

30

40

50

性導電膜3bを介して配設して、図1に示す構造のマルチチップ半導体装置が得られる。この場合、積層する半導体チップの数は、3~4層が可能である。

【0031】なお、上述したように、配線基板1の電極8とプラグ4aとの電氣的接続、およびパンプ5aとプラグ4bとの電氣的接続は、絶縁材料中に導電性粒子が分散されており、通常は絶縁性であるが、圧力が加わることで導電性となる異方性導電膜3a、3bにより行われる。また、チップとチップとの電氣的な接続は、異方性導電膜以外でも可能であり、例えば、CuパンプとSnメッキや、AuパンプとSn、半田等によっても接続可能である。

【0032】以上のように、本実施形態では、プラグとパンプが電解メッキにより一度に一体的に形成されているため、従来の方法のようにCMPを用いる必要がなく、また、工程数を、例えば約半分に削減することが出来るので、低コストでマルチチップ半導体装置を製造することが可能である。

【0033】(第2の実施形態) 図3は、本発明の第2の実施形態に係る多層配線構造を有する半導体装置を示す断面図である。図3において、半導体素子21が形成された半導体チップ22上に、絶縁膜(SiO<sub>2</sub>膜)23を介して第1の配線層24aが、第1の層間絶縁膜25aを介して、第2の配線層が、第2の層間絶縁膜25bを介して、第2の配線層が24bが積層されている。半導体チップ22は、貫通孔に埋め込まれたCuからなるプラグ25により、第1の配線層24aに電氣的に接続されている。

【0034】プラグ26上にはSOG膜からなるキャップ27が設けられ、このキャップ27の下にプラグ26内には、空隙28が設けられている。このように、プラグ26内に空隙を設けることで、プロセス時に発生する熱応力を緩和することができる。

【0035】次に、以上のように構成される多層配線半導体装置の製造方法について、図4を参照して説明する。

【0036】図4(a)に示すように、シリコン基板30の上面にゲート電極および拡散層を形成することにより、半導体素子21を形成し、更に層間絶縁膜31を形成する。

【0037】次いで、図4(b)に示すように、ホトリソグラフィによりシリコン基板30をエッチングし、径30μm深さ60μmのチップコンタクト孔32を形成する。

【0038】次に、その後の工程を、プラグ形成部のみを詳細に示す図5を参照して説明する。

【0039】まず、図5(a)に示すように、チップコンタクト孔32の内面を含むシリコン基板30の全面にSiO<sub>2</sub>膜33をプラズマCVDで形成したのち、スパッタリングによりバリアメタルとしてのCu(1μ

m)/Ta<sub>2</sub>N(20nm)積層膜34を順次形成する。

【0040】その後、図5(b)も示すように、CMPによりCu/Ta<sub>2</sub>N層34を研磨することにより、チップコンタクト孔32の外側のCu/Ta<sub>2</sub>N層34を除去し、チップコンタクト孔32の内面に残す。

【0041】そして、図5(c)に示すように、濡れ性の低い溶剤を含む塗布液、例えばSOG等の塗布型絶縁膜を全面に塗布すると、チップコンタクト孔31の内部に空隙28を残したまま、塗布膜35が形成される。なお、この時、チップコンタクト孔32の上部にある塗布膜35の部分は、チップコンタクト孔32の外側の塗布膜35の部分よりもレベルが低くなる。

【0042】チップコンタクト孔32の内部に空隙28が設けられるのは、塗布液が低い濡れ性を有することと、チップスループラグの開口径が数μm以上となると毛細管圧が低下し、埋め込み性が悪化するために、チップコンタクト孔32の内部にまで塗布液が入らないからである。

【0043】次に、図5(d)に示すように、チップコンタクト孔32の外側の塗布膜35の部分をCMPにより研磨して除去することにより、チップコンタクト孔33の上部が塗布膜27によりキャップされ、内部に空隙を有するプラグ26が得られる。

【0044】次に、図4に戻るが、図4(c)に示すように、半導体チップ22上にSiO<sub>2</sub>膜23を介して第1の配線層24aを、第1の層間絶縁膜25aを介して、第2の配線層を、第2の層間絶縁膜25bを介して、第3の配線層をそれぞれ積層し、更にシリコン基板10aの裏面を、プラグ18が露出するまで研磨することともに、RIEによりエッチングすることにより、図3に示すような多層配線構造を有する半導体装置を得ることが出来る。

【0045】図3に示す多層配線構造を有する半導体装置は、その後、図5(e)に示すように、配線基板36上に搭載される。

【0046】以上のように、本実施形態では、チップコンタクト孔をすべて埋め込まずにチップコンタクト孔上部をキャップして、プラグ内部に空隙を残すことにより、プロセス時に発生する熱応力を緩和することが可能である。そのため、プラグ周辺での熱応力によるクラックの発生を防止することが出来る。

【0047】なお、プラグ内部に空隙を残す方法は、上述したようなキャップを用いる方法に限らず、エアボイドの処理を行わずにメッキすることで内部に気泡を残したままプラグを形成することによっても可能である。

【0048】また、以上のような、プラグ内部に空隙を残す方法を利用して、空中配線を形成することも可能である。

【0049】第3の実施形態

図6(a)は、本発明の第3の実施形態に係る半導体装

置の第1の例を示す断面図である。図6(a)において、シリコン基板41にはチップコンタクト孔42が設けられており、チップコンタクト孔42の内面を含むシリコン基板41上に、絶縁膜、例えば $\text{SiO}_2$ 膜43、バリアメタル膜、例えば $\text{Cu/TaN}$ 積層膜44、および導電膜、例えば $\text{Cu}$ 膜45が、順次形成されている。そして、チップコンタクト孔42の底部を除く $\text{Cu}$ 膜45上に、絶縁膜、例えば $\text{SiO}_2$ 膜46が形成されている。

【0050】この状態で、 $\text{Cu}$ 膜45を電極として用いて例えば $\text{Cu}$ の電解メッキを施すと、メッキ層は、最初からチップコンタクト孔42の側面に形成されることなく、底部から順に堆積されていくので、空隙を残すことなく、チップコンタクト孔42内を完全にメッキ層で埋めることが可能となる。

【0051】なお、シリコン基板41の裏面を加工する際に、電解メッキのシードとなる $\text{Cu}$ 膜45をプラグ中央のメッキ層と切り離すことにより、同軸配線を形成することも可能である。

【0052】図6(b)は、本発明の第3の実施形態に係る半導体装置の第2の例を示す断面図である。図6(b)に示す構造は、 $\text{SiO}_2$ 膜43がチップコンタクト孔42の底部に設けられていないことを除いて、図6(a)に示す構造と同様である。

【0053】即ち、チップコンタクト孔42の底部に $\text{SiO}_2$ 膜43が設けられていないため、シリコン基板41側から電源を供給することが可能である。図6(b)に示す構造において、シリコン基板41側から電源を供給して電解メッキを行うことにより、メッキ層は、底部から順に堆積されていくので、空隙を残すことなく、チップコンタクト孔42内を完全にメッキ層で埋めることが可能となる。

【0054】なお、図6(b)に示す構造では、チップコンタクト孔42の底部を除く $\text{Cu}$ 膜45上を覆う $\text{SiO}_2$ 膜46は、必ずしも形成されなくてもよい。

【0055】図6(b)に示す構造では、基板との間の導通を測定することにより、プラグの埋込み検査を行うことが可能である。

【0056】図6(c)は、本発明の第3の実施形態に係る半導体装置の第3の例を示す断面図である。図6(b)に示す構造では、チップコンタクト孔42の底部には $\text{SiO}_2$ 膜43が設けられていないため、半導体素子とプラグとがシリコン基板を介して導通してしまい、基板裏面の研磨による薄膜化の前では、半導体素子の特性の測定が出来ない。そのため、図6(c)に示す構造では、半導体素子(図示せず)とプラグ47との間

にスイッチ素子48を設け、半導体素子の特性の測定を可能としている。

【0057】

【発明の効果】以上、詳細に説明したように、第1および第2の発明によると、プラグとバンプが電解メッキにより一度に一体的に形成されているため、従来の方法のようにCMPを用いる必要がなく、また、工程数を削減することが出来るので、低コストでマルチチップ半導体装置を製造することが可能である。

【0058】また、第3の発明によると、接続プラグ内に空隙を設けることで、プロセス時に発生する熱応力を緩和することができる。

【0059】更に、第4の発明によると、メッキ層は、底部から順に堆積されていくので、空隙を残すことなく、接続プラグ用孔内を完全にメッキ層で埋めることが可能である。

【図面の簡単な説明】

【図1】第1の実施形態に係るマルチチップ構造の半導体装置を示す断面図。

【図2】図1に示すマルチチップ構造の半導体装置の製造方法を工程順に示す断面図。

【図3】第2の実施形態に係る多層配線構造の半導体装置を示す断面図。

【図4】図3に示す多層配線構造の半導体装置の製造方法を工程順に示す断面図。

【図5】図3に示す多層配線構造の半導体装置の製造方法の一部を工程順に示す断面図。

【図6】第3の実施形態に係る半導体装置を示す断面図。

【図7】従来の方法により形成されたプラグの問題点を示す断面図。

【符号の説明】

1…配線基板

2a, 2b…半導体チップ

3a, 3b…異方性導電膜

4a, 4b, 18…プラグ

5a, 5, 19…バンプ

6a, 6b…半導体素子

7, 16… $\text{Cu/TaN}$ 層

8…電極

10…シリコン基板

11, 17…レジストパターン

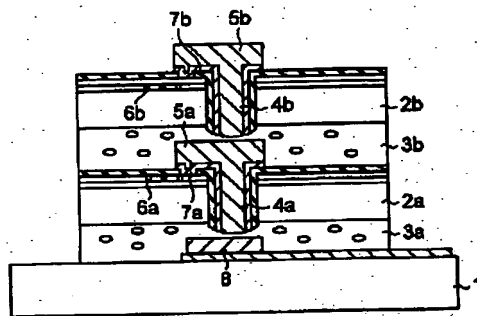
12…チップコンタクト孔

13… $\text{SiO}_2$ 膜

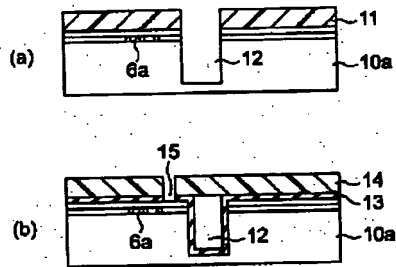
14…マスクパターン

15…コンタクト孔

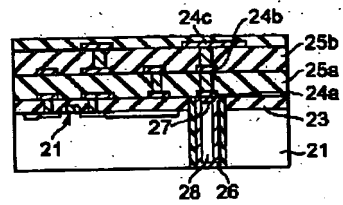
【図1】



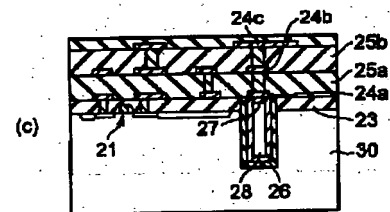
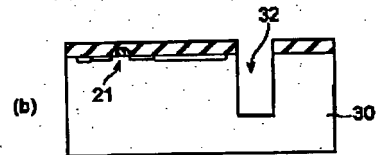
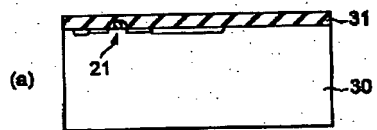
【図2】



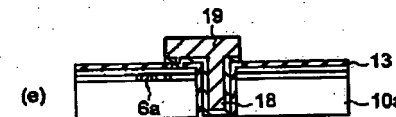
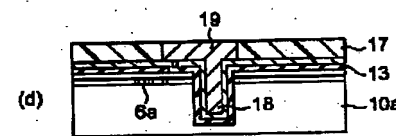
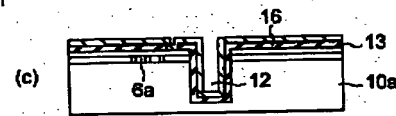
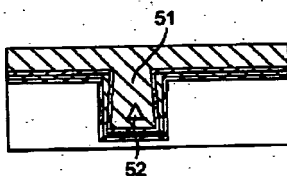
【図3】



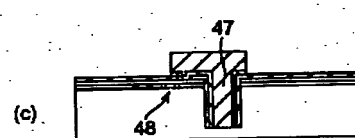
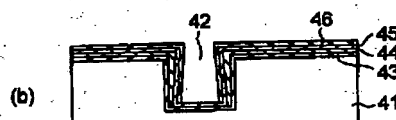
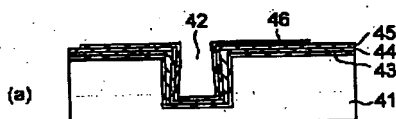
【図4】



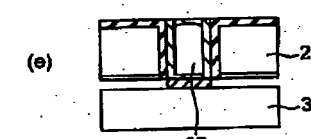
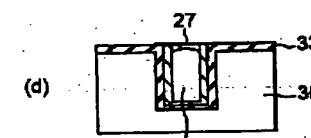
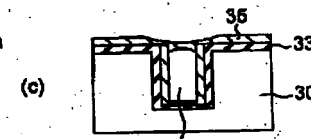
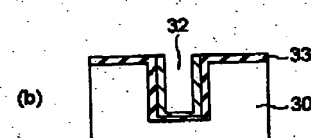
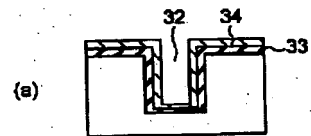
【図7】



【図6】



【図5】



フロントページの続き

(51) Int. Cl. 7  
H 0 1 L 21/3205  
21/60  
23/52

識別記号

F I  
H 0 1 L 23/52

テーマコード(参考)

C

F ターム(参考) 5F033 HH08 HH11 HH13 HH14 HH32  
JJ08 JJ11 JJ13 JJ14 JJ32  
MM12 MM13 NN05 NN07 PP15  
PP26 QQ07 QQ08 QQ09 QQ10  
QQ13 QQ37 QQ48 RR04 SS15  
TT07 VV07 WW03 XX17 XX19  
XX33 XX34  
5F044 KK01 KK05 LL09 QQ02 QQ04  
RR03